

Family list

1 family member for:

JP4056168

Derived from 1 application.

1 THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Publication Info: JP4056168 A - 1992-02-24

Data supplied from the esp@cenet database - Worldwide //

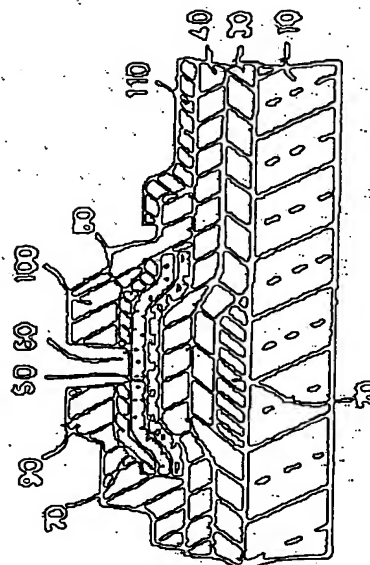
THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Patent number: JP4056168
 Publication date: 1992-02-24
 Inventor: SANO HIROYUKI; IMASHIRO SHINICHI; TOKO YASUO
 Applicant: STANLEY ELECTRIC CO LTD
 Classification:
 - International: (IPC1-7): H01L29/784
 - European:
 Application number: JP19900163744 19900321
 Priority number(s): JP19900163744 19900321

Report a data error here

Abstract of JP4056168

PURPOSE: To easily control the etching operation of a semiconductor layer, to eliminate a drop in the insulation of a gate insulating film and to enhance reliability and productivity by a method wherein the gate insulating film is formed of a three-layer laminated structure in which adjacent layers are formed of mutually different materials and the semiconductor layer is formed on it.
CONSTITUTION: A gate electrode 20 for a transistor is formed and patterned on a glass substrate 10. In addition, three layers by a first gate insulating film 30, a second gate insulating film 40 and a third gate insulating film 50 in the order from the side close to the substrate 10 are laminated on it. An amorphous silicon semiconductor layer (a-Si) 60 constituting a channel is formed on the third gate insulating film 50 so as to face the gate electrode 20. The film 50 is formed of a silicon nitride film by a plasma CVD method. When an etching operation is shifted from the semiconductor layer to the film 50, the plasma luminous peak of nitrogen is detected and an etching end point is detected. Thereby, a thin-film transistor in which a source is not short-circuited with a gate, whose insulating property is excellent and whose characteristic is stable can be manufactured with good reproducibility.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP) ⑪ 特許出願公開
 ⑫ 公開特許公報(A) 平4-56168

⑬ Int. Cl.⁸
 H 01 L 29/784

識別記号 庁内整理番号

⑭ 公開 平成4年(1992)2月24日

9056-4M H 01 L 29/78 311 G

審査請求 有 請求項の数 4 (全4頁)

⑮ 発明の名称 薄膜トランジスタおよびその製造方法

⑯ 特 願 平2-163744

⑰ 出 願 平2(1990)6月21日

⑱ 発 明 者 佐 野 寛 幸 神奈川県大和市南林間8-10-5-101
 ⑱ 発 明 者 今 城 慎 一 神奈川県川崎市麻生区虹ヶ丘2-3-2-702
 ⑱ 発 明 者 都 甲 康 夫 神奈川県横浜市緑区荏田南2-17-8-202
 ⑲ 出 願 人 スタンレー電気株式会社 東京都目黒区中目黒2丁目9番13号
 ⑳ 代 理 人 弁理士 高橋 敬四郎

明 細 書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1). 透明絶縁基板と、

前記透明絶縁基板上に形成したゲート電極層と、

前記ゲート電極層と前記基板の上に形成したゲート絶縁層と、

前記ゲート絶縁層の上に形成した半導体層と、
 前記半導体層の上に形成したソース/ドレイン電極層とを有し、

前記ゲート絶縁層は積層する層が互いに異なる材料で形成された3層の積層を含む薄膜トランジスタ。

(2). 前記ゲート絶縁層は前記ゲート電極層に近い順に第1絶縁層、第2絶縁層及び第3絶縁層を含み、前記第2絶縁層が前記第3絶縁層よりも耐エッチング性に優れた材料で構成される請求

項1記載の薄膜トランジスタ。

(3). 透明絶縁基板上にゲート電極層を形成する工程と、

前記ゲート電極層と前記透明絶縁基板の上に3層の積層構造を含むゲート絶縁層を形成する工程であって、前記3層の第1層と第2層とは異なる成膜法で形成する工程と、

前記ゲート絶縁層の上に半導体層を形成する工程と、

前記半導体層の所定領域をエッチングする工程と、

前記半導体層の上にソース電極とドレイン電極の層を同時に形成する工程と、
 を含む薄膜トランジスタの製造方法。

(4). 前記ゲート絶縁層の3層の形成工程は、プラズマCVD法による酸化シリコン膜で第1層を形成し、スパッタ法による酸化シリコン膜で第2層を形成することを含む請求項4記載の薄膜トランジスタの製造方法。

9. 発明の要旨を説明

【背景上の利用分野】

本発明は可動トランジスタに係わり、特に液晶ディスプレイ等のアクティブマトリックス表示装置の画素駆動に好適な信頼性と生産性の高い可動トランジスタおよびその製造方法に関する。

【従来の技術】

図2図にアクティブマトリックス素子に利用した従来の可動トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極30が形成され、パターニングされ、その上にならにゲート絶縁膜40、40が2層積層して形成されている。(ゲート絶縁膜は1層のみの場合もある。)ゲート電極30に対向するように絶縁膜40上にチャネルを形成する半導体膜60が形成され、その上にコンタクトを形成するための低抵抗率半導体膜70、80が所定形状にパターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより可動ト

ランジスタの素子が形成されている。半導体膜60、70、80の形成工程におおむねエッチング工程は、例えばCF₄、B₂O₅、SF₆を用いてのドライエッチングで行われる。エッチング条件、たとえば高周波電力の10〜300W、圧力の1〜100Paである。0.6μm、ドレイン電極100の一部と接続し、ゲート絶縁膜40上に形成して画素とせる画素電極110が形成される。

【発明が解決しようとする課題】

図1のゲート絶縁膜30に酸化シリコン(SiO₂)又は、酸化タンタル(Ta₂O₅)を積層し、図2ゲート絶縁膜40に酸化シリコン(SiO₂)を用いた場合、半導体膜60、70、80のパターニング工程のエッチング条件において、酸化シリコンのエッチングレートが非常に低い。このため、半導体膜60のエッチングが完了した後に、図2ゲート絶縁膜40の酸化シリコンもエッチングされる。これにより図2ゲート絶縁膜40のカーパエッチングが完了し、ゲート電

極の厚さが所定の値よりも厚くなり、絶縁膜下のソース・ゲート電極の露出となる。

また、図1のゲート絶縁膜30に酸化シリコン(SiO₂)を用い、図2のゲート絶縁膜40に酸化シリコン(SiO₂)又は、酸化タンタル(Ta₂O₅)を用いた場合には、半導体膜60、70、80のエッチング速度が速く、半導体膜60、70、80がブラズマダメージを受ける。さらに、酸化シリコンや酸化タンタルは酸化シリコンに比べ半導体膜との界面準位が不良である欠点があった。

本発明の目的は、半導体膜のエッチングがしやすく、絶縁膜の絶縁膜下の低い、高周波の生産性の高い可動トランジスタとその製造方法を提供することである。

【課題を解決するための手段】

本発明によれば、可動トランジスタにおいて、図1の素子は互に異なる材料で形成された3層の積層構造を用いてゲート絶縁膜を形成し、その上

に半導体膜を形成する。

【作用】

半導体膜のエッチング工程において、半導体膜がエッチングされると同時にゲート絶縁膜の半導体膜に接しているゲート絶縁膜もエッチングされるが、異なる材料のゲート絶縁膜によってカーパエッチングが防止され、図2と図1によって絶縁膜が保たれる。また図2のゲート絶縁膜がエッチングされることで半導体膜のエッチング速度が向上する。

【実施例】

次に、本発明による可動トランジスタの断面図を図3に示して説明する。

図1図にアクティブマトリックス素子に利用した本発明の断面図による可動トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極30が形成され、パターニングされ、その上にならに図10に示すように3層の

ート絶縁層30、第2ゲート絶縁層40及び第3ゲート絶縁層50が3層積層形成されている。ゲート電極20に対向するように第3ゲート絶縁層50上にチャネルを形成するアモルファスシリコン半導体層60(10-91)30が形成される。その上に、コンタクトを形成するための低抵抗率半導体層81(N+型アモルファスシリコン)70、80が所定形状にパターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより第1トランジスタの第一子が形成されている。さらに、ドレイン電極100の一部と接続し、第3ゲート絶縁層50上にパッドとなる透明電極110が形成される。

ここで、第2ゲート絶縁層40は、第3ゲート絶縁層50に比べエッチング時に優れた特性を使用することが好ましい。例えば、第2ゲート絶縁層40は、スパッタ法またはプラズマCVD法により酸化シリコン(SiO₂)または酸化タングステン(Ta₂O₅)で形成する。第1ゲート絶縁層30は、絶縁特性の優れた酸化シリコン

(SiO₂)をプラズマCVD法で形成する。また、第1ゲート絶縁層30は、酸化シリコンや酸化タングステンも使用可能である。この、第1ゲート絶縁層30と第2ゲート絶縁層40とは、パッドのピンホール等の欠陥防止のため互いに異なる方法で形成することが好ましい。

第3ゲート絶縁層50は、プラズマCVD法により酸化シリコンで形成される。

第1ゲート絶縁層30は、高抵抗率半導体層としての特性を有し、第2ゲート絶縁層40は、第1ゲート絶縁層30のピンホール等の欠陥防止および半導体層60、70、80のエッチングの際のオーバーエッチングを防止するストップの役目とし、第3ゲート絶縁層50は、半導体層60、70、80のエッチングの際の保護膜層および半導体層60の界面準位を安定化させる役目を果たす。

ここで、本発明の実施例によって第1に説明した第1トランジスタの例を説明する。第1800nmに形成され、パターニングされたゲート

絶縁層30上に、1000-4000nmの厚の酸化シリコンで第1ゲート絶縁層30を形成し、500-2000nmの厚の酸化シリコンで第2ゲート絶縁層40を形成し、さらに500-2000nmの厚の酸化シリコンで第3ゲート絶縁層50をそれぞれ積層形成する。さらに、第3ゲート絶縁層50の同一真空内でチャネル半導体層60、コンタクト半導体層70、80を形成する。その後、CF₄及びO₂ガスを混用してドライエッチングで半導体層60、70、80をパターニングする。ここで、エッチングが半導体層60から酸化シリコンの第3ゲート絶縁層50に進行した際に真空のプラズマ処理ビームを照射することによりエッチング速度を抑制した。これにより、ソース・ゲート領域も広く絶縁性にするため、特性も安定な第1トランジスタが得られることとなる。

以上、実施例によって本発明を説明したが、本発明はこれらに制限されるものではない。たとえ、図4の構造、改良、組合せ等が可能であること

は、自明である。

【発明の効果】

本発明によれば、ゲート絶縁層30に第1ゲート絶縁層30を用いたことによって、半導体層60のエッチング工程における絶縁層50のオーバーエッチングを防止できる。

ゲート絶縁層50の第3ゲート絶縁層50に酸化シリコンを用いているため、エッチングが半導体層60から第1ゲート絶縁層30に進行した際に真空のプラズマ処理ビームを照射することで真空のエッチング速度が抑制可能である。

第2ゲート絶縁層40に第1ゲート絶縁層30よりもエッチング時に優れた特性を用いることにより、エッチングストップの役目を果たし、絶縁層50のオーバーエッチング防止が可能となる。

第3ゲート絶縁層50にプラズマCVD法による酸化シリコンを用いているため、真空を必要とせず、半導体シリコンの酸化膜が形成されるので、ゲート絶縁層30と半導体層60との間に不純物が侵入せず、

界面単位の変位を形成できる。

4. 図面の簡単な説明

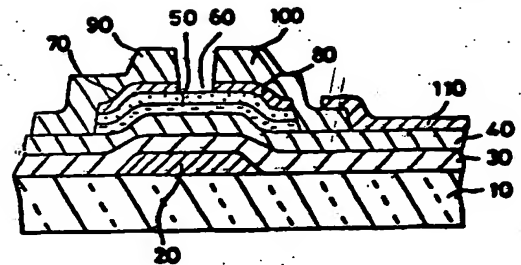
第1図は本発明の実施例による薄膜トランジスタの断面構造図、

第2図は従来の技術による薄膜トランジスタの断面構造図である。

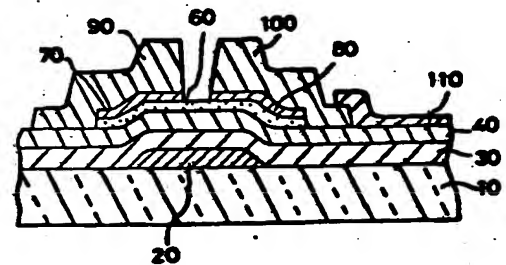
図において、

- | | |
|------------|----------|
| 10 | ガラス基板 |
| 20 | ゲート電極 |
| 30 | 第1ゲート絶縁層 |
| 40 | 第2ゲート絶縁層 |
| 50 | 第3ゲート絶縁層 |
| 60, 70, 80 | 半導体層 |
| 90 | ソース電極 |
| 100 | ドレイン電極 |
| 110 | 透明電極層 |

特許出願人 スタンレー電気株式会社
代理人 弁理士 高橋 敬四郎



本発明の実施例による薄膜トランジスタ
第1図



従来の技術による薄膜トランジスタ
第2図

手続補正書 (自発)

平成 2 年 7 月 27 日

特許庁長官 殿

1. 事件の表示 平成 2 年特許第 163744 号
2. 発明の名称 薄膜トランジスタおよびその製造方法
3. 補正をする者

事件との関係 特許出願人
住所 東京都目黒区中目黒2丁目9番13号
名称 (280) スタンレー電気株式会社

4. 代理人

住所 〒103 東京都中央区日本橋小伝馬町1-3
日本橋ニシキビル702 電話 03-464-0004
氏名 (9134) 弁理士 高橋 敬四郎

5. 補正の対象 明細書の発明の詳細な説明の欄

6. 補正の内容 別紙の通り

- (1). 明細書第 8 頁第 19~20 行
「3000nm」を「300nm」と補正する。
- (2). 明細書第 9 頁第 1 行
「1000~4000nm」を「100~400nm」と補正する。
- (3). 明細書第 9 頁第 3 行
「500~2000nm」を「50~200nm」と補正する。
- (4). 明細書第 9 頁第 4~5 行
「500~2000nm」を「50~200nm」と補正する。



方式 ①